**BÀI CHUẨN BỊ THÍ NGHIỆM 2**

THỰC HIỆN CÁC IC CHỨC NĂNG CƠ BẢN

TRÊN KIT DE-2

|  |  |
| --- | --- |
| Họ và tên: | Lớp TN: |
| MSSV: | Ngày: |

***LƯU Ý:***

Nội dung trong các bài prelab thường là các hướng dẫn đi kèm các câu hỏi, bài tập có liên quan đến bài thí nghiệm tương ứng. Các bài prelab được biên soạn nhằm mục đích cho sinh viên có kiến thức nền để tiến hành thí nghiệm nhanh chóng và chính xác vì thời gian thí nghiệm là có hạn. Vì thế yêu cầu sinh viên tự thực hiện prelab, mọi trường hợp gian dối đều sẽ bị xử lý nặng.

Sinh viên tham khảo đoạn hướng dẫn sau đồng thời trả lời các câu hỏi tương ứng.

***HƯỚNG DẪN CƠ BẢN VỀ KIT DE 2***

Sinh viên xem Lab 0 và Kit De2 Manual để hiểu cách sử dụng Kit DE 2, nối dây, các thiết bị ngoại vi, cách sử dụng phần mềm Quartus để mô phỏng, tổng hợp mạch. Sinh viên tham khảo các tài liệu để hiểu cách viết thiết kế phần cứng bằng ngôn ngữ SystemVerilog.

Với Lab 2 sinh viên sẽ sử dụng các ngoại vi LEDR, LEDG, và SW. Dưới đây là header nối dây căn bản của các ngoại vi này khi sinh viên tổng hợp project trên Intel Quartus. (Lưu ý import file DE2\_pin\_list/assignment.

Lưu ý, top-level của project phải đặt tên là tên của file header (nối pin), ví dụ là “lab2tn1\_wrapper”, với module “lab2tn1” là module chứa đoạn mã mô tả thiết kế của thí nghiệm 1.

Giả sử, với thí nghiệm viết thiết kế phần cứng bằng ngôn ngữ SystemVerilog cho hàm là thí nghiệm 1 của lab 2, ta có đoạn mã SystemVerilog như sau:

A screenshot of a computer

Description automatically generated with medium confidence

Hình 1 Ví dụ về thí nghiệm 1

Vậy đoạn mã của top level “lab2tn1\_wrapper” như sau:

Text

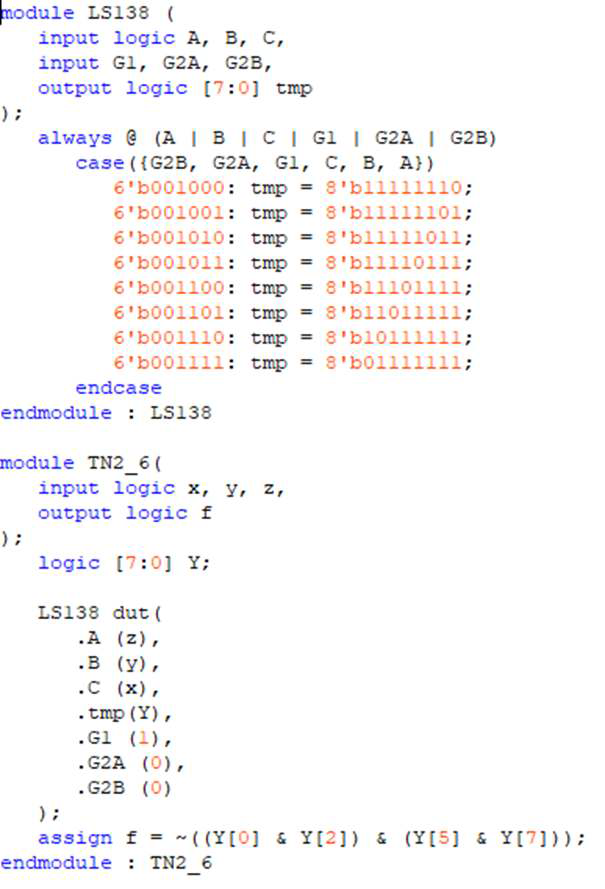
Description automatically generated

Như vậy ta đã hoàn thành phần viết đoạn mã của chương trình và project Quartus, sinh viên thực hiện mô phỏng, nạp Kit như đã được hướng dẫn tại Lab 0.

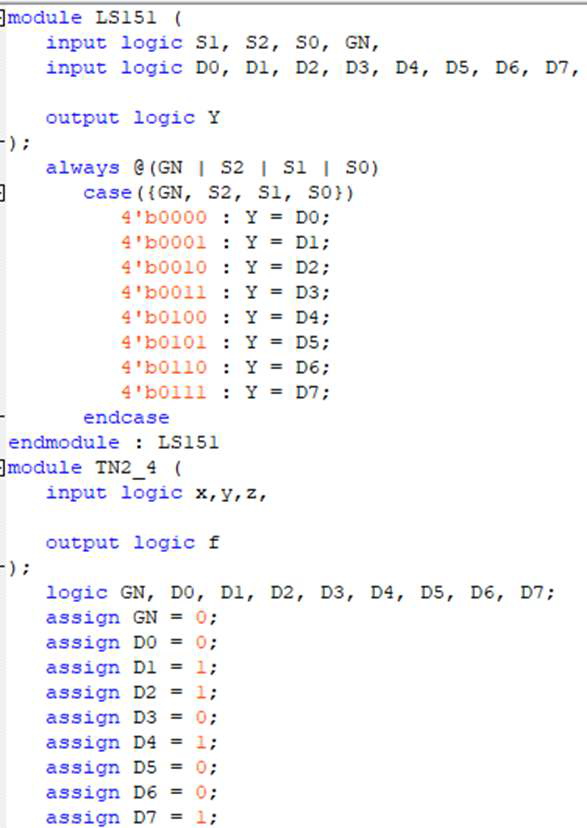
Với các bài thí nghiệm yêu cầu sử dụng IC 74LS151/74LS138, sinh viên viết đoạn mã mô tả IC này và tiến hành gọi module như trên.

***CÂU HỎI CHUẨN BỊ:***

1. Header cho một module SystemVerilog viết như thế nào
2. Các toán tử Logic trong SystemVerilog sử dụng các kí hiệu nào (AND OR XOR NOT )
3. Chế độ Netlist > RTL Viewer có ý nghĩa gì
4. Phân biệt sự khác nhau giữa Functional Simulation và Timing Simulation
5. Sinh viên tìm hiểu datasheet của IC 74LS138, viết module SystemVerilog mô tả hoạt động của IC này



1. Sinh viên tìm hiểu datasheet của IC 74LS151, viết module SystemVerilog mô tả hoạt động của IC này



1. Nếu mục đích của top level wrapper, tại sao phải đặt tên theo pin assignment đã import